

#6/5-202

J1046 U.S. PTO
10/054520
01/22/02



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 38689 호
Application Number PATENT-2001-0038689

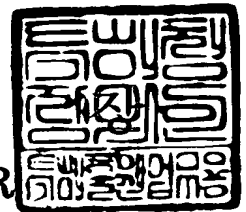
출원년월일 : 2001년 06월 30일
Date of Application JUN 30, 2001

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 08 월 30 일

특 허 청
COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2001.06.30
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	METHOD OF FORMING MEMORY DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	특허법인 신성 정지원
【대리인코드】	9-2000-000292-3
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 원석희
【대리인코드】	9-1998-000444-1
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 박해천
【대리인코드】	9-1998-000223-4
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	조광준
【성명의 영문표기】	CHO, Kwang Jun
【주민등록번호】	700611-1411618
【우편번호】	139-230
【주소】	서울특별시 노원구 하계동 284 한신아파트 3-1110
【국적】	KR
【발명자】	
【성명의 국문표기】	박기선
【성명의 영문표기】	PARK, Ki Seon
【주민등록번호】	671030-1384115

【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 산148-1 현대전자 임 대아파트 108-309
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 정지원 (인) 대리인 특허법인 신성 원석희 (인) 대리인 특허법인 신성 박해천 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로, 반도체소자의 캐패시터 하부전극으로 TiN 화합물 전극을 사용하는 경우 전도성 폴리실리콘 플러그를 형성하고, 스토리지노드 홀을 형성한 후 종래에 필수적으로 형성하던 베리어층을 형성하는 공정을 생략하여 공정이 단순하며, 또한 종래 컨케이브나 실린더 구조와 비교하여 부드러운 회생산화막 계면에서 하부전극 도전층 증착되므로 표면거칠기에 의한 누설전류 특성 열화를 방지할 수 있으며, 종래 스택 구조에 비교하여 하부전극 도전층의 식각의 어려움을 피할 수 있는 유리한 효과가 있다.

【대표도】

도 7

【색인어】

콘택, 캐패시터, 스택, 컨케이브, 플러그

【명세서】

【발명의 명칭】

반도체소자의 제조방법 {METHOD OF FORMING MEMORY DEVICE}

【도면의 간단한 설명】

- 도 1은 본 발명에 따른 폴리실리콘 플러그 형성 단면도,
도 2는 본 발명에 따른 식각저지층과 희생산화막 형성 단면도,
도 3은 본 발명에 따른 스토리지노드 홀 형성 단면도,
도 4는 본 발명에 따른 실리사이드층과 하부전극 패턴 형성 단면도,
도 5는 본 발명에 따른 희생산화막 습식식각 후의 단면도,
도 6은 본 발명에 따른 유전체막과 상부전극 형성 단면도,
도 7은 본 발명에 따른 스택 구조의 캐패시터를 나타내는 단면도,
도 8은 종래기술에 의한 컨케이브 구조의 캐패시터를 나타내는 단면도,
도 9은 종래기술에 의한 스택 구조의 캐패시터를 나타내는 단면도.

*도면의 주요 부분에 대한 부호의 설명

- | | |
|-----------------|----------------|
| 100 : 반도체기판 | 125 : 제1 층간절연막 |
| 130 : 비트라인 | 135 : 제2 층간절연막 |
| 145 : 폴리실리콘 플러그 | 160 : 스토리지노드 홀 |

165 : 실리사이드층

170 : 하부전극 패턴

175 : 유전체막

180 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 집적회로의 제조방법에 관한 것으로, 특히 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

<17> 반도체 기억 소자들 중 DRAM(Dynamic Random Access Memory)은 집적도가 증가함에 따라 기억정보의 기본단위인 1비트를 기억시키는 메모리 셀의 면적은 작아지고 있다. 그런데 셀의 축소에 비례하여 캐패시터의 면적을 감소 시킬 수는 없는 바, 이는 센싱(sensing) 신호 마진(signal margin), 센싱 속도, α -입자에 의한 소프트 에러(Soft Error)에 대한 내구성 등을 위해서는 단위 셀당 일정 이상의 충전용량이 필요하기 때문이다. 따라서 제한된 셀 면적내에 메모리 캐패시터의 용량(C)을 적정값 이상 유지시키기 위한 방법은 $C = \epsilon A_s / d$ (ϵ : 유전율, A_s : 표면적, d : 유전체 두께)와 같이, 첫째는 유전체 두께(d)를 감소시키는 방법, 둘째는 캐패시터의 유효 표면적(A_s)을 증가시키는 방법, 셋째는 유전율(ϵ)이 높은 재료를 사용하는 방법이 고려되어 왔다.

<18> 이 가운데, 첫째 방법인 유전체의 박막화로 전극간 거리, 즉 유전체 두께(d)를 최소화하는 방법과, 두 번째 방법인 캐패시터의 구조를 단순 스택 구조,

컨케이브 구조, 실린더 구조, 다층 핀 구조 등과 같이 3차원 구조로 하여 캐패시터의 유효 표면적(As)을 증가시키는 방법은 반도체 공정의 초미세화에 의해 공정상 한계에 이르렀다.

<19> 세 번째 방법을 살펴보면 종래의 캐패시터에 이용되는 유전체막은 SiO_2 로부터 유전률이 거의 2배인 Si_3N_4 를 사용한 NO(Nitride-Oxide) 또는 ONO(Oxide-Nitride-Oxide) 박막이 거의 주류였다. 하지만 SiO_2 , NO(Nitride-Oxide), ONO(Oxide-Nitride-Oxide) 박막 등은 물질 자체의 유전률이 작으므로 유전체 박막의 두께를 줄이거나 표면적을 넓힌다고 해도 높은 정전용량을 구현할 만한 여지가 없게 되어 새로운 물질을 도입할 수 밖에 없는 상황에 이르렀다. 결국 고집적 DRAM에서는 기존 유전체 박막을 대신할 물질로는 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (이하 BST라 함), $(\text{Pb}, \text{Zr})\text{TiO}_3$ (이하 PZT라 함), $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ (이하 PLZT라 함), $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (이하 SBT라 함), TaON, Ta_2O_5 등의 유전체 박막을 도입하게 되었다.

<20> 상기와 같은 고유전막을 사용하는 캐패시터에서는 전극물질로서 폴리실리콘을 사용하기 어렵기 때문에 폴리실리콘 대신 노블금속(noble metal) 또는 그 산화물, 예를 들어 Pt, Ir, Ru, RuO_2 , IrO_2 등을 사용하거나, TiN등의 전도성 화합물을 사용한다. 즉, 산화탄탈륨(Ta_2O_5)의 경우에는 MIS(Metal/Insulator/Silicon) 구조 또는 MIM(Metal/Insulator/Metal) 구조를 도입하여야 하며, BST를 이용하는 경우에는 MIM(Metal/Insulator/Metal) 구조를 도입하여야 한다. 이와 같이 금속으로 캐패시터 전극을 형성할 때에는, 금속과 도전성 플러그로 사용되는 폴리실리콘이나 기

판 실리콘과의 반응 방지, 오믹콘택(ohmic contact) 특성 확보, 및 유전체막 증착시 소오스로 사용되는 산소의 확산을 방지하기 위한 베리어층(barrier layer)을 필수적으로 형성한다. 베리어층으로는 TiN, TaN, TiSiN, TaAlN 등이 사용된다.

<21> 도 8은 종래기술에 의한 컨케이브 캐패시터를 나타내는 단면도이다.

<22> 컨케이브(concave) 캐패시터 또는 실린더(cylinder) 캐패시터는 DRAM의 고집적화에 따라 3차원 구조를 가지는 스택형 캐패시터에서 하부전극의 높이가 높아짐에 따라서 발생하는 식각의 어려움을 피하기 위하여 제안되었다. 이 컨케이브 또는 실린더 구조는 노블금속의 식각 공정의 어려움을 피하고 스토리지노드의 높이를 임의로 조절할 수 있는 장점이 있다. 반면 스토리지노드의 깊은 골에서 하부전극막이 증착되므로 표면이 거칠어져 유전체막 증착시 두께가 균일하게 형성되지 않아 누설전류가 증가하는 문제점이 있다.

<23> 도 9은 종래기술에 의한 스택 구조의 캐패시터를 나타내는 단면도이다.

<24> 반도체기판(300) 상에 층간절연막(305)을 형성한 후, 상기 층간절연막을 관통하여 반도체기판의 활성영역(active region, 도시되어 있지 않음)과 연결되는 스토리지 콘택홀을 형성한다. 상기 콘택홀을 폴리실리콘(310), 실리콘사이드층(315), 베리어층(320)으로 채워 도전성 플러그를 형성한다. 도전성 플러그를 형성한 후 하부전극 도전층을 증착한 후 선택적 식각하여 하부전극 패턴(325)을 형성한다. 상기 하부전극 패턴 위로 유전체막(330)과 상부전극(335)을 형성하고 패터닝하여 스택형 캐패시터를 완성한다.

<25> 단순 스택(simple stack) 캐패시터는 금속 하부전극을 기존의 CVD(Chemical Vapor Deposition)로 하부전극 증착 후 식각 공정에 의해 패터닝(patterning) 하는 경우 식각의 어려움이 있다. 그 이유는 하부전극으로 쓰이는 노블금속은 매우 단단하고 안정된 내열성(refractory) 금속이기 때문에 다른 화학물질과 반응하기 어렵기 때문이다. 비록 하부전극을 반응성 이온 식각(Reactive Ion Etching, RIE)으로 패터닝(patterning)하는 것이 가능하나 현실적으로 장비의 성숙도(maturity)로는 측벽경사(sidewall slope) 문제가 있다. 또한 노블금속의 식각 난이성으로 인해, 이보다 낮은 식각률을 갖는 식각마스크 재료를 확보하는 것이 어려운 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 공정이 단순하고 누설전류 특성의 향상을 기대할 수 있는 반도체소자 제조방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<27> 상기 목적을 달성하기 위한 본 발명의 반도체소자의 제조방법은, 반도체 기판 상에 콘택홀을 가지는 제1 중간절연막을 형성하는 단계; 상기 콘택홀을 도전막으로 채워서 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계; 상기 콘택플러그를 포함하여 상기 중간절연막 상에 희생산화막을 형성하는 단계; 상

기 희생산화막의 선택 식각에 의해 상기 콘택플러그를 노출시켜 하부전극이 형성될 스토리지노드 홀을 형성하는 단계; 상기 콘택플러그 상에 실리사이드층을 형성하는 단계; 상기 실리사이드층을 포함한 상기 스토리지노드 홀에 CVD법으로 TiN으로 매립하고, 평탄화한 후 상기 희생산화막을 제거하여 하부전극 패턴을 형성하는 단계; 상기 하부전극 패턴 위로 유전체막을 형성하는 단계; 및 상기 유전체막 위로 상부전극을 형성하는 단계를 포함하는 반도체소자의 제조방법이다.

<28> 또한 본 발명은, 반도체기판 상에 리세스된 도전성 플러그를 가지는 층간절연막; 상기 리세스된 도전성 플러그를 포함하여 상기 층간절연막 상부에 형성된 스택구조의 TiN 하부전극; 상기 TiN 하부전극 위로 형성된 유전체막; 및 상기 유전체막 위로 형성된 상부전극을 포함하여 이루어지는 것을 특징으로 하는 반도체소자이다.

<29> 본 발명은 하부전극으로 TiN 화합물 전극을 사용한다. 전도성 폴리실리콘 플러그를 형성하고, 스토리지노드 홀을 형성한 후 종래에 필수적으로 형성하던 베리어층을 형성하는 공정을 생략하고, 실리사이드층만 폴리실리콘 플러그 상부에 형성한다. 따라서, 공정단순화에 큰 잇점이 있게된다. 또한 하부전극을 CVD법으로 스토리지노드 홀을 완전히 매립되게 증착한다. 이는 하부전극은 희생산화막과의 계면에서는 전극 표면이 부드러운 종전 컨케이브 또는 실린더 구조의 캐패시터에 비하여 표면거칠기에 의한 누설 전류 특성 열화를 방지할 수 있다. 뿐만아니라 캐패시터의 높이가 높아도 쉽게 단순 스택 구조의 캐패시터를 형성할 수 있다.

- <30> 본 발명의 유전체막으로는 BST, PZT, PLZT, SBT, TaON, Ta₂O₅ 중에서 선택된 적어도 하나의 물질로 이루어진다.
- <31> 본 발명의 상부전극은 TiN, Ru, Pt, Ir, Os, W, Mo, Co, Ni, Au, Ag, RuO₂, IrO₂ 중에서 선택된 적어도 하나의 물질로 이루어진다.
- <32> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.
- <33> 도 7은 본 발명에 따른 완성된 스택 구조의 캐패시터를 나타내는 단면도이다. 도면에 나타나듯이 본 발명은 베리어층이 생략되어 공정이 간단하고, 누설전류 특성이 양호한 스택형 캐패시터이다. 도면부호는 이하 공정 실시예와 같다.
- <34> 먼저, 도 1은 본 발명에 따른 폴리실리콘 플러그를 형성한 후의 단면도이다.
- <35> 도 1에 도시한 바와 같이 반도체기판(100)상에 소정영역에 활성영역 및 비활성영역을 한정하는 소자분리막(105)을 형성한다. 소자분리막들 사이에 게이트절연막(110), 게이트전극(115), 및 소오스/드레인 영역(120)으로 구성되는 모스트랜지스터를 형성한다. 도면에 표시되어 있지 않지만 게이트전극 측면에 스페이서(spacer)가 형성되어 있다. 상기 모스트랜지스터가 형성된 반도체기판 전면에 제1 층간절연막(125)을 형성하고, 상기 제1 층간절연막을 패터닝하여 상기 모스트랜지스터의 드레인 영역을 노출시키는 비트라인 콘택홀을 형성한다. 상기 비트라인 콘택홀을 덮고 상기 드레인 영역과 전기적으로 연결되는 비트라인(130)을

형성한다. 상기 비트라인이 형성된 반도체기판 전면에 제2 층간절연막(135)을 형성한다. 상기 제1 및 제2 층간절연막으로 이루어진 층간절연막(140)을 선택적 식각하여 모스트랜지스터의 소오스 영역을 노출시키는 홀(hole)을 형성한다. 상기 홀이 형성된 반도체기판 전면에 상기 홀을 채우는 폴리실리콘을 증착한다. 상기 제2 층간절연막이 노출될 때까지 상기 폴리실리콘을 전면식각하여 상기 홀 내부에 폴리실리콘 패턴이 형성된 폴리실리콘 플러그(145)를 형성한다.

<36> 도 2는 본 발명에 따른 식각저지층(150)과 희생산화막(155)을 형성한 후의 단면도이다.

<37> 식각저지층(etch stopper)은 상층인 희생산화막과 식각선택비가 높아 식각저지막으로 이용되며, SiN , Al_2O_3 , SiON , Si_3N_4 등으로 이루어진다.

<38> 도 3은 본 발명에 따른 스토리지노드 홀(160)을 형성한 후의 단면도이다.

<39> 희생산화막과 식각저지층을 선택적 식각하여 희생산화막 패턴(155a)과 식각저지층 패턴(150a)을 형성한 후 스토리지노드 홀(storage node hole)을 형성한다.

<40> 도 4는 본 발명에 따른 실리사이드층(165) 형성하고, 하부전극 패턴 형성후의 단면도이다.

<41> 상기 스토리지노드 홀을 형성하고, Ti , Co , 및 Ni 로 구성된 금속물질 중에서 하나를 증착하며, 증착방법으로는 CVD법으로 한다. 증착 후 급속열처리(RTP, Rapid Thermal Processing) 또는 로(furnace)를 이용한 열처리를 실시한다. 상기 열처리에 의하여 상기 열처리에 의하여 층간절연막 상에 있는 금속물질 중의 하

나는 실리사이드 반응을 일으키지 않으나, 폴리실리콘 상에 있는 금속물질 중의 하나는 실리콘과 실리사이드화 하여 $TiSi_2$, $CoSi_2$, $NiSi_2$ 중에서 하나인 실리사이드층(165)을 형성한다. 상기 열처리가 완료된 반도체기판에 황산(H_2SO_4)과 과수(H_2O_2) 혼합용액으로 세정 공정을 진행함으로써 중간절연막상에 실리사이드화 반응을 일으키지 않았던 금속물질을 제거한다. 이 실리사이드층은 폴리실리콘과 오믹콘택(Ohmic Contact)을 형성하여 접촉저항을 감소시키기 위함이다. 종래에는 실리사이드층을 형성한 후 산소 확산 방지를 위한 TiN등으로 이루어진 베리어층을 형성하였다. 그러나, 본 발명은 이를 생략하고 CVD법으로 TiN 하부전극을 형성하여 공정을 단순화 시킨다.

<42> 상기 실리사이드층을 형성한 후에는 CVD 법으로 스토리지노드(storage node)가 되는 하부전극 도전층을 TiN으로 상기 스토리지노드 홀이 완전히 매립되게 증착한다. 다음으로 상기 하부전극 도전층을 스토리지노드 분리(storage node separation)하여 하부전극 패턴을 형성한다. 스토리지노드 분리는 희생산화막의 상면이 노출될 때까지 에치백(etch back) 또는 화학 기계적 연마(Chemical Mechanical Polishing, 이하 CMP라 함) 방법에 의하여 TiN을 제거함으로써, 하부전극 도전층을 복수의 하부전극 패턴(170)으로 분리시킨다.

<43> 도 5는 본 발명에 따른 희생산화막을 습식식각 한 후의 단면도이다.

<44> 상기 희생산화막을 습식식각으로 제거하여 단순 스택(simple stack) 구조의 스토리지전극을 형성한다.

<45> 도 6은 본 발명에 따른 유전체막(175)과 상부전극(180)을 형성한 단면도이다.

- <46> 유전체막으로는 BST, PZT, PLZT, SBT, TaON, Ta₂O₅ 등의 유전체막을 사용한 다.
- <47> 상부전극은 TiN, Ru, Pt, Ir, Os, W, Mo, Co, Ni, Au, Ag 및 RuO₂, IrO₂ 같은 산화물 전극이 사용될 수 있다.
- <48> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

- <49> 상기와 같이 이루어진 본 발명은, 종래 폴리실리콘 콘택플러그에 베리어층을 매립하는 공정을 진행하지 않음으로써 공정을 단순화한 효과가 있다.
- <50> 또한 종래 키크에이브나 실린더 구조와 비교하여 부드러운 희생산화막 계면에서 증착되므로 표면거칠기에 의한 누설전류 특성 열화를 방지할 수 있으며, 종래 스택 구조에 비교하여 하부전극 도전층의 식각의 어려움을 피할 수 있는 유리한 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체소자의 제조방법에 있어서,

반도체 기판 상에 콘택홀을 가지는 층간절연막을 형성하는 단계;

상기 콘택홀을 도전막으로 채워서 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계;

상기 콘택플러그를 포함하여 상기 층간절연막 상에 식각저지층 및 희생산화막을 형성하는 단계;

상기 식각저지층 및 희생산화막의 선택 식각에 의해 상기 콘택플러그를 노출시켜 하부전극이 형성될 스토리지노드 홀을 형성하는 단계;

상기 콘택플러그 상에 실리사이드층을 형성하는 단계;

상기 실리사이드층을 포함한 상기 스토리지노드 홀에 CVD법으로 TiN으로 매립하고, 평탄화한 후 상기 희생산화막을 제거하여 하부전극 패턴을 형성하는 단계;

상기 하부전극 패턴 위로 유전체막을 형성하는 단계; 및

상기 유전체막 위로 상부전극을 형성하는 단계

를 포함하는 반도체소자의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 콘택플러그를 형성하는 단계는,

상기 중간절연막을 선택적으로 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀 내부를 폴리실리콘으로 증착한 후 평탄화하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 폴리실리콘으로 증착한 후 평탄화하는 단계는,

CMP 또는 에치백(etch back)을 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 실리사이드층은 TiSi_2 , CoSi_2 , NiSi_2 중에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 유전체막은 BST, PZT, PLZT, SBT, TaON , Ta_2O_5 중에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 상부전극은 TiN, Ru, Pt, Ir, Os, W, Mo, Co, Ni, Au, Ag, RuO₂, IrO₂ 중에서 선택된 적어도 하나의 물질로 이루어는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 7】

반도체기판 상에 리세스된 도전성 플러그를 가지는 층간절연막;

상기 리세스된 도전성 플러그를 포함하여 상기 층간절연막 상부에 형성된 스택구조의 TiN 하부전극;

상기 TiN 하부전극 위로 형성된 유전체막; 및

상기 유전체막 위로 형성된 상부전극을 포함하여 이루어지는 것을 특징으로 하는 반도체소자.

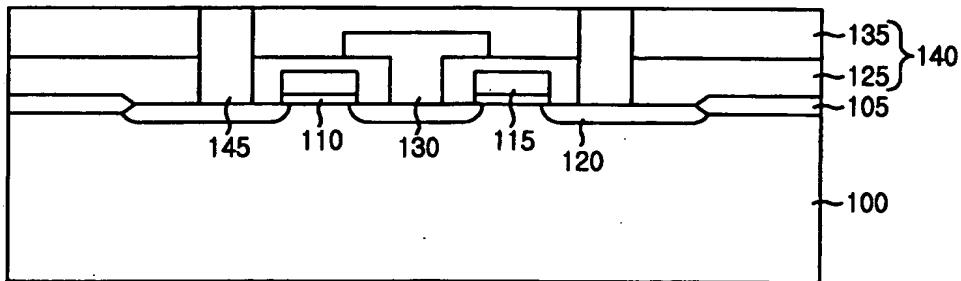
【청구항 8】

제 7 항에 있어서,

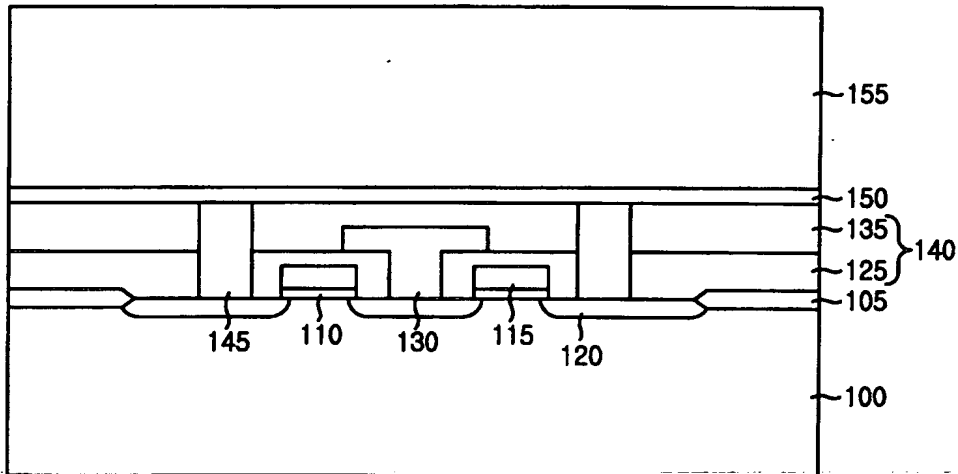
상기 리세스된 도전성 플러그는 폴리실리콘과 실리사이드로 이루어지는 것을 특징으로 하는 반도체소자.

【도면】

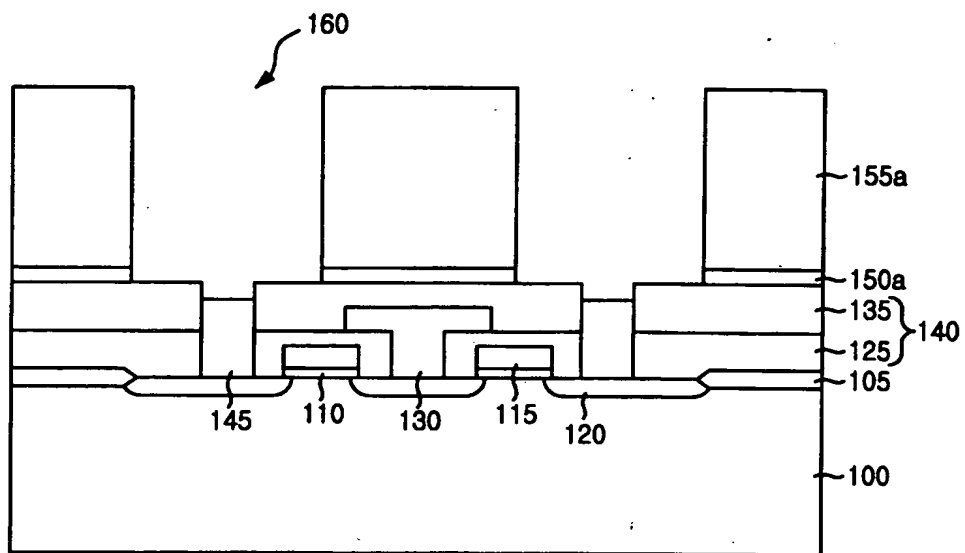
【도 1】



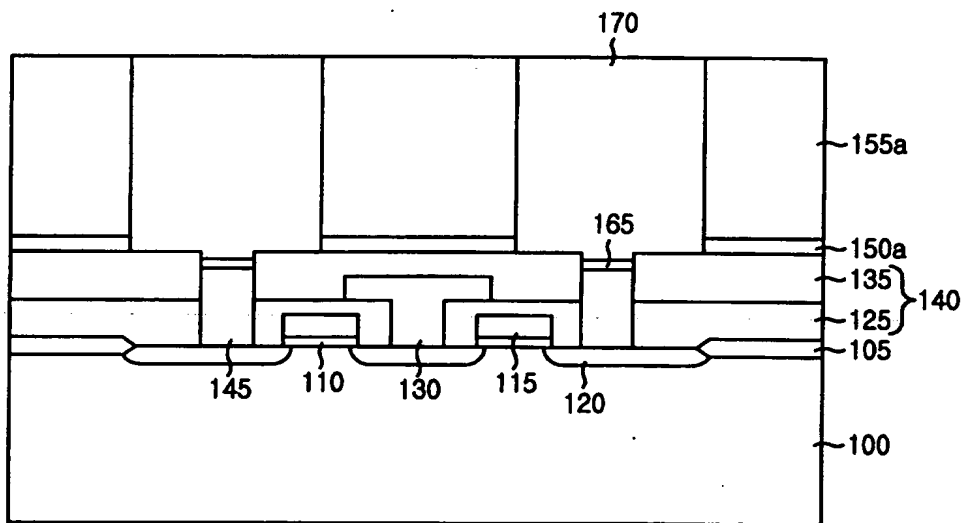
【도 2】



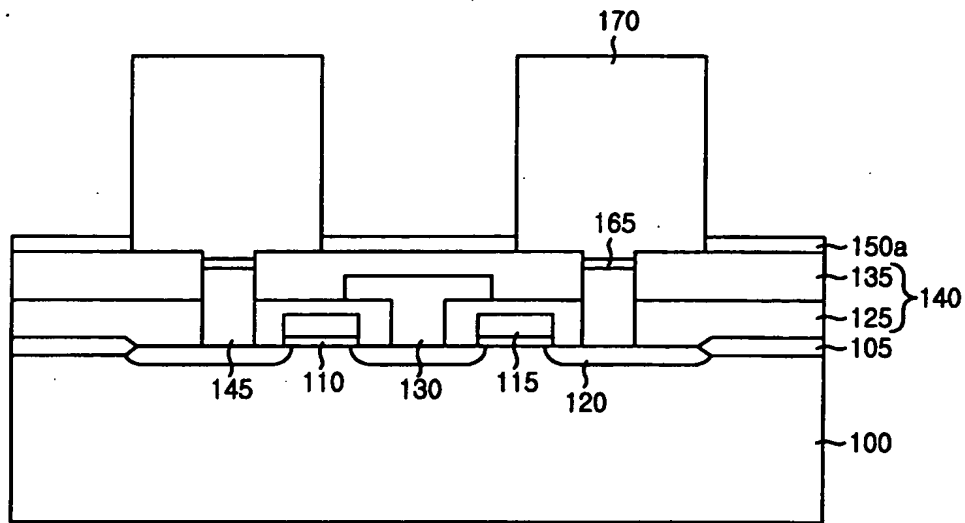
【도 3】



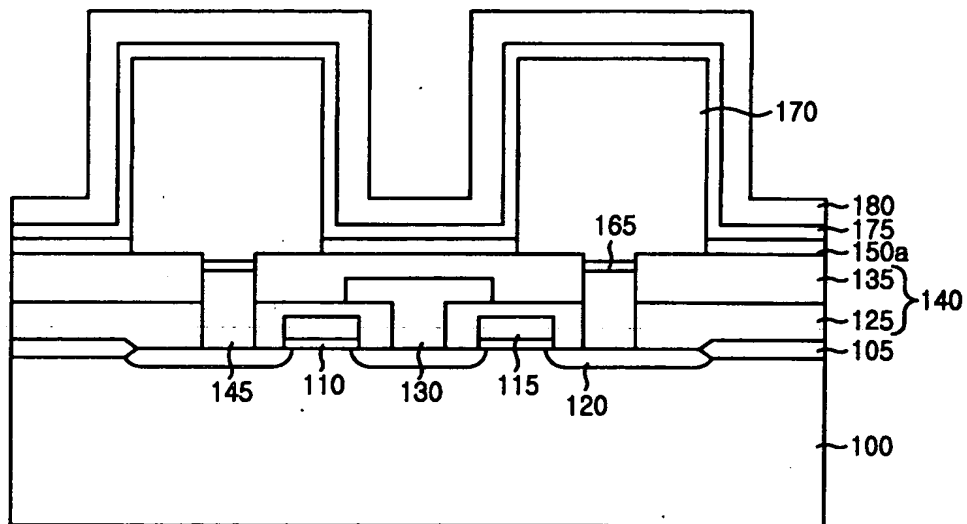
【도 4】



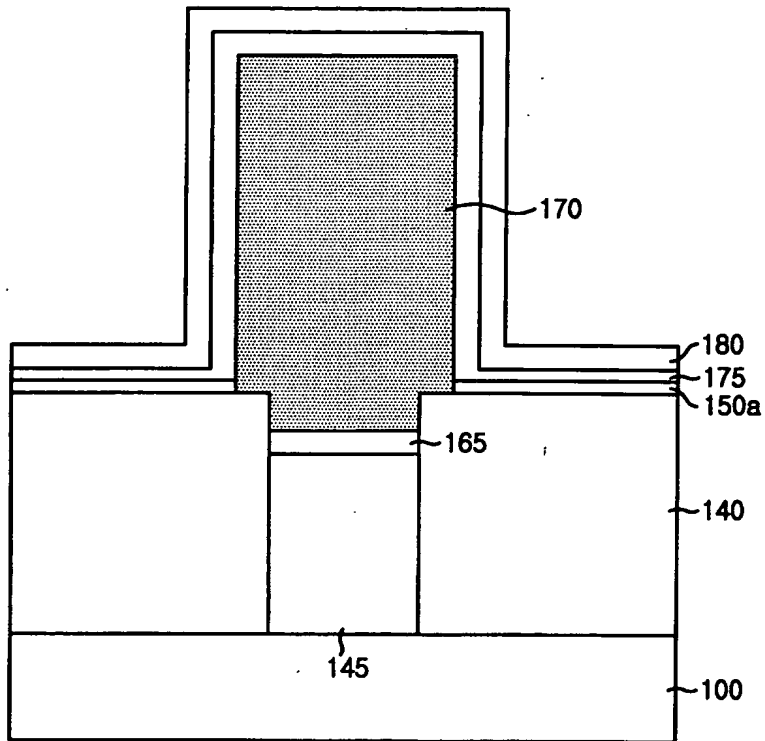
【도 5】



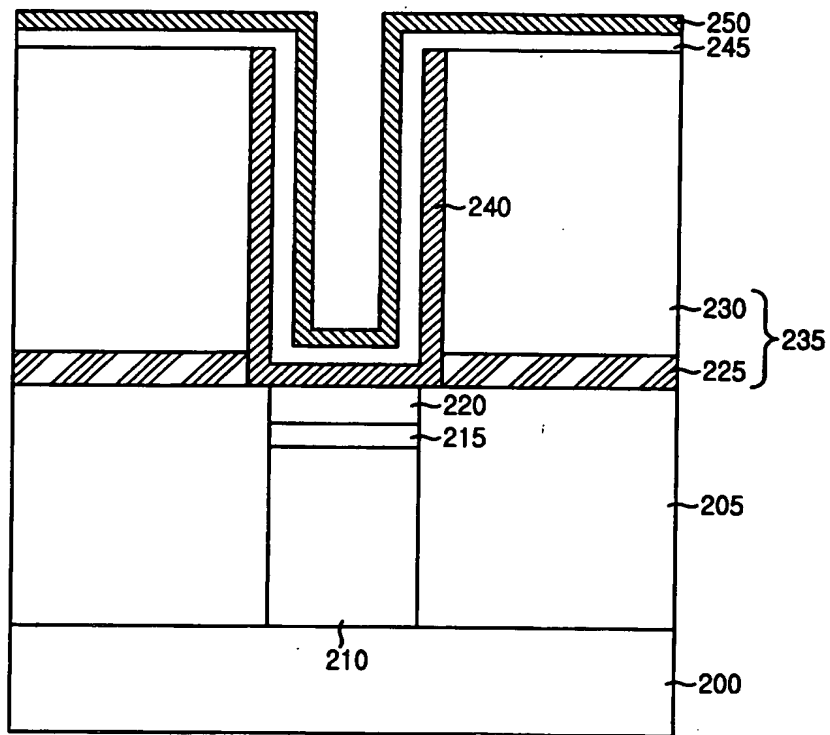
【도 6】



【도 7】



【도 8】



【도 9】

